

Adaptation du planning de PFSI à l'EdT 2008-2009

* signifie sur machine

11 7+4* 1+2* 25 50

PARTIE	DOMAINE	SEMAINE absolue EdT	n° CM EdT	n° TD EdT	n° TP EdT	NOM PFSI	séance EdT final	THÈME	CONTENU DETAILLÉ
BASES (18 h)	Histoire	38	M1			CM1	CM	histoire info	évolution et dates clés depuis Fu-Hi jusqu'à Bill Gates
	Codage	39	M2			CM2	CM	codage	Numération, décimal, octal, hexadécimal, conversions; Arithmétique fixée; Entiers signés et non signés: binaire, biaisé, complément à 2; Texte: ASCII, Unicode, UTF, UTF-8
		39		D1		TD1	TD	codage	conversions, opérations arithmétiques, dépassement; codage & décodage entiers & texte
	Logique Combinatoire	40	M3			CM3	CM	logique combinatoire	Rappel d'algèbre de Boole, portes et réduction logique. Etude d'une fonction logique: - spécification: interface & comportement; - analyse: décomposition en tranches et en couches, instantiation; - synthèse par NOT, AND, OR ou par NAND (ou par NOR) ; Exemples: étude du multiplexeur & de l'additionneur.
		40		D2		TD3	TD	logique combinatoire	étude complète d'une unité de calcul de CPU
	Logique séquentielle	41	M4			CM4	CM	logique en dynamique	décalage des portes & opérateurs logiques combinatoires, chronogramme ; notions d'aléa, de logique séquentielle asynchrone et synchrone; bascules verrou (spéc., structure et fonctionnement) & D (spéc.); machine de Moore synchrone, exemple: étude d'un registre
		41		D3		TD4	TD	logique séquentielle synchrone	chronogramme de registre & compteur; étude d'un compteur synchrone effaçable et rechargeable
	Electronique numérique	42	M5			CM5	CM	électronique numérique	rappels électricité: charge, potentiel, courant, résistance, condensateur; N & P-MOSFET, portes en NMOS & CMOS; notion de loi de Moore.
		42 & 43			P1	TP MOS	TP	TP MOS (salle ordinaire) avec kits MOS	réalisation et test de portes NOT et NOR en NMOS et CMOS avec des transistors MOS. Noté.
	ARCHITECTURE & MICRO-PROGRAMME (12 h)	Chemin de données	43	M6			CM6	CM	chemin de données
43				D4		TD5B	TD	chemin de données CPU & CMU (video)	cycles, actions, commandes, séquence d'actions
Chemin de contrôle		45	M7			CM7	CM	chemin de contrôle	contrôleur, microprogrammes, saut, conditions, registres PC, SR, IR
		45		D5		TD6	TD	chemin de contrôle (video)	conditions de saut, microprogrammation d'instructions de calcul et contrôle
		46		D6		TD5A	TD	chemin de données périphériques	espace d'adressage; interfaçage port // (& SRAM) sur un bus natif Intel
		47		D7		TD7	TD	modes d'adressage	microprogrammation d'instructions de transfert avec les modes d'adressage registre, indirect, immédiat, direct et indexé
COUCHE LOGICIEL BASSE (20 h)	Jeu d'instructions	48	M8			CM8	CM	jeu d'instructions	jeu d'instructions d'une machine RISC; comparaison avec un CISC.
		48		D8*		TD8*	TD*	prog. en code machine	programmation en code machine sur simulateur
	Assembleur	49	M9			CM9	CM	assembleur	syntaxe, symboles, directives, étiquettes, compteur de cases, expressions
		49		D9*		TD9A*	TD*	prog. assembleur	programmation simple en langage d'assemblage et test sur simulateur
		50		D10*		TD9B*	TD*	prog assembleur avancé	utilisation des directives d'assemblage, étiquettes, symboles et expressions
	Pile & fonctions	51	M10			CM10	CM	pile + sous-prog	pile, registre SP, modes post-auto-incrémenté & pré-auto-décrémenté; sous-programmes & fonctions, notion d'environnement (frame), registre BP
		51		D11*		TD10*	TD*	sous-programme & fonction	programmation en langage d'assemblage d'une fonction et de son appel, puis test sur simulateur
	Interruptions & trappes	2	M11			CM11	CM	interruptions	exceptions: interruption, trappe, erreur, faute; matériel: lignes ITRQST, ITACK, ITi, décodeur, numéro, vectorisation; logiciel: gestionnaire, section critique, trappe logicielle, appel système, instructions RTI, ENI, DSI, HLT, TRP
		2			P2*	TD11*	TP*	TP* interruptions en demi-groupes	programmation de gestionnaires (handlers) d'exception en langage d'assemblage et test sur simulateur
		4			P3*	TD11bis*	TP*	TP* interruptions en demi-groupes	TP noté, réponse aux questions et envoi des programmes